

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 04 月 22 日  
Application Date

申請案號：092109403  
Application No.

申請人：威盛電子股份有限公司  
Applicant(s)

局長  
Director General

蔡練生

發文日期：西元 2003 年 5 月 29 日  
Issue Date

發文字號：09220533830  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	具有測試高記憶體位址功能之控制電路及控制方法
	英 文	Control circuit and Method Capable of Testing High Memory Address
二、 發明人 (共1人)	姓 名 (中文)	1. 朱修明
	姓 名 (英文)	1. Simon Chu
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 北縣新店市中正路533號8樓
	住居所 (英 文)	1. 8Fl., No. 533, Jungjeng Rd., Shindian City, Taipei, Taiwan 231, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 威盛電子股份有限公司
	名稱或 姓 名 (英文)	1. VIA TECHNOLOGIES, INC.
	國 籍 (中英文)	1. 中華民國 ROC
	住居所 (營業所) (中 文)	1. 北縣新店市中正路533號8樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 8Fl., No. 533, Jungjeng Rd., Shindian City, Taipei, Taiwan 231, R.O.C.
	代表人 (中文)	1. 王雪紅
	代表人 (英文)	1. Cher Wang



四、中文發明摘要 (發明名稱：具有測試高記憶體位址功能之控制電路及控制方法)

本發明係提出一種具有測試高記憶體位址功能之控制電路及控制方法。其於北橋晶片中直接提供硬體的映射(Mapping)電路，並利用映射電路的切換，達成在大真實模式(Big Real Mode)之下執行記憶體測試軟體而能夠進行4GB以上記憶體位址空間的測試。

五、(一)、本案代表圖為： 第3圖

(二)、本案代表圖之元件代表符號簡單說明：

10 中央處理單元	12 前端匯流排
20 北橋晶片	22 記憶體匯流排
24 特定格式匯流排	28 映射電路
30 記憶體控制模組	40 南橋晶片

六、英文發明摘要 (發明名稱：Control circuit and Method Capable of Testing High Memory Address)

A control circuit and a control method have a function of testing high memory addresses. A hardware mapping circuit is directly provided in a north-bridge chip. By switching the mapping circuit, the software for testing purpose is executed under a big real mode so as to be capable of testing a memory address space greater than 4 GB.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



## 五、發明說明 (1)

### 發明所屬之技術領域

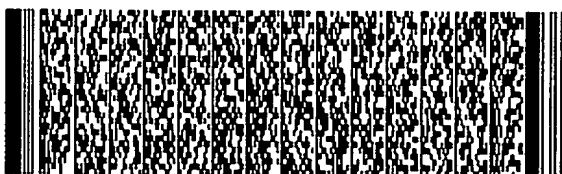
本發明是有關於一種記憶體控制電路，且特別是有關於一種具有測試高記憶體位址功能之控制電路及其控制方法。

### 先前技術

由於電腦科技的快速發展，個人電腦的操作速度快速提昇，相對地使得記憶體容量也隨之增加。而個人電腦內的控制晶片也必須配合記憶體容量之增加而提供更多的位址腳位(Address Pin)來使得控制晶片能夠存取更大的記憶體範圍。

一般來說，個人電腦上皆利用一記憶體測試軟體(Memory Testing Tool)來進行記憶體控制模組的測試。其係利用個人電腦的中央處理單元來執行記憶體測試軟體，使得中央處理單元可存取記憶體控制模組所有位址空間內之資料來進行測試。此記憶體測試軟體為業界所認定之標準，也就是說，個人電腦上的控制晶片或者記憶體控制模組皆必須利用此記憶體測試軟體來通過測試，而測試結果也才能夠廣為一般業界或者廠商所接受。

請參照第1圖，其所繪示為習知個人電腦的測試架構。中央處理單元10經由前端匯流排(Front Side Bus)12連接至北橋晶片(North Bridge Chip)20，北橋晶片經由



## 五、發明說明 (2)

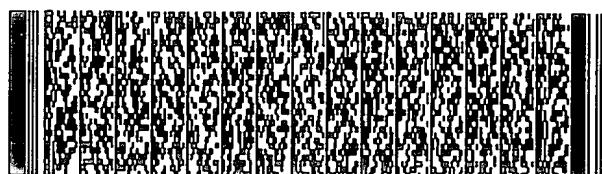
一記憶體匯流排22連接至記憶體控制模組30，而北橋晶片20亦經由一特定格式匯流排24連接至南橋晶片(South Bridge Chip)40，而南橋晶片40可連接至一個硬式磁碟機(Hard Disk)50，而硬式磁碟機50內即儲存記憶體測試軟體。而利用中央處理單元10執行硬式磁碟機50內的記憶體測試軟體。中央處理單元10即可對記憶體控制模組30發出資料寫讀命令來進行記憶體控制模組30的測試。而讀寫命令以及寫讀的資料皆由北橋晶片20來負責傳遞。

在一般傳統的個人電腦架構之下，記憶體測試軟體僅能夠在DOS作業系統(Operation System, OS)的大真實模式(Big Real Mode)之下來進行記憶體的測試。眾所周知，如第2圖所繪示，在個人電腦的大真實模式之下中央處理單元10執行記憶體測試軟體僅能夠定址至4GB，也就是說，4GB以上的位址空間沒有辦法進行資料的存取與測試。而4GB的位址空間係由32條位址線(bit0~bit31)所組成。

然而，以新一代的作業系統而言，例如視窗2000(Windows 2000)作業系統，其定址空間會大於4GB，而相關的測試硬體架構或測試程式又很缺乏。因此，測試4GB以上的記憶體控制模組會很麻煩。

## 發明內容

本發明的目的係提出一種具有測試高記憶體位址之控



### 五、發明說明 (3)

制電路及控制方法，其於北橋晶片中直接提供硬體的映射電路，並利用映射電路的切換，達成在大真實模式之下執行記憶體測試軟體而能夠進行4GB以上記憶體位址空間的測試。

本發明係提供一種測試高記憶體位址之控制電路，包括：記憶體控制模組其可分成多個記憶體區塊；中央處理單元可執行一記憶體測試軟體，並發出多個資料寫入命令以及多個資料讀取命令用以測試記憶體控制模組中之第一記憶體區塊；以及，北橋晶片連接於中央處理單元與記憶體控制模組之間，用以接收資料寫入命令與資料讀取命令，並可選擇性的執行資料寫入命令於第二記憶體區塊且由第二記憶體區塊回應記憶體讀取命令。

本發明提出一種測試高記憶體位址之方法，包括下列步驟：首先，接收測試第一記憶體測試區塊之多個資料寫入命令以及多個資料讀取命令；以及，選擇性的執行資料寫入命令於一第二記憶體測試區塊且由第二記憶體區塊回應記憶體讀取命令。

為讓本發明之上述目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第1圖其所繪示為習知個人電腦的測試架構；

第2圖為相對於第1圖之對應的記憶體位址；

第3圖其所繪示為本發明具有測試記憶體高位址之控



#### 五、發明說明 (4)

制電路；以及

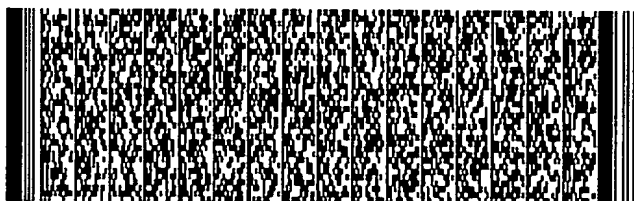
第4圖為相對於第3圖之對應的記憶體位址。

標號說明：

- 10 中央處理單元
- 12 前端匯流排
- 20 北橋晶片
- 22 記憶體匯流排
- 24 特定格式匯流排
- 28 映射電路
- 30 記憶體控制模組
- 40 南橋晶片
- 50 硬式磁碟機

#### 實施方式

由於習知記憶體測試軟體僅能在大真實模式之下執行4GB以下的記憶體位址空間的測試。也就是說，中央處理單元在大真實模式之下僅可以變更32位元的位址線，亦即bit31~bit0。請參照第3圖，其所繪示為本發明之一實施例具有測試記憶體高位址之控制電路及第4圖對應的記憶體位址。本實施例係在北橋晶片20內部設計一映射電路28用以處理記憶體匯流排22以及前端匯流排12之間的位址以及資料的轉換。依照本實施例，以8GB的記憶體控制模組





#### 五、發明說明 (5)

30 進行測試時，映射電路28可以控制第33位元的位址線，亦即bit32。

首先，設定映射電路28輸出第33位址線為低準位並執行記憶體測試軟體，因此，中央處理單元10可對記憶體控制模組30的0~4GB之間進行測試。在測試時，中央處理單元10可對記憶體控制模組30的0~4GB的定址空間進行資料的讀寫，而北橋晶片20即負責傳遞數據讀寫命令以及寫讀資料至中央處理單元10或者記憶體控制模組30。

當記憶體控制模組30的0~4GB測試完成之後，設定映射電路28輸出第33位址線(bit32)為高準位並執行記憶體測試軟體。因此，中央處理單元10在前端匯流排12所發出的讀寫命令雖然還是在0~4GB之定址空間，然而，由於映射電路28第33位元已經設定為高準位，因此，在記憶體匯流排22上的記憶體位址實際上即為4GB~8GB。而在記憶體控制模組30傳回讀取資料時，映射電路28可控制前端匯流排12的第33位元的位址線為低準位。也就是說，中央處理單元10在執行第二次的記憶體測試軟體時，雖然中央處理單元10仍舊在存取0~4GB的定址空間。由於映射電路28的設定，實際上北橋晶片20係在存取記憶體控制模組30 4GB~8GB的定址空間。因此，本發明可以達成在大真實模式下利用北橋晶片20內設計的映射電路28完成高於4GB以上之定址空間的測試。

同理，若是映射電路28可以控制第33、34位元之位址線(bit32、bit33)，則只要中央處理單元10執行4次記憶



##### 五、發明說明 (6)

體測試軟體，而映射電路28依序在第33、34位元上輸出"00"、"01"、"10"、"11"，則可以測試至16GB的記憶體控制模組30。

在者，上述映射電路28的切換時機可利用設定BIOS來手動控制，或者，利用計時器(未繪示)來自動控制。亦即，手動控制係在每一次記憶體測試軟體執行完成之後，使用者更改BIOS內的映射電路28之輸出設定，並在BIOS設定完成之後再次執行記憶體測試軟體。而自動控制係計算執行一次記憶體測試軟體所需的測試時間，並在超過測試時間後映射電路28自動切換至另一組位址線，並依序再次執行記憶體測試軟體。

因此，本發明的優點係提出具有測試高記憶體位址之控制電路及控制方法。其於北橋晶片中直接提供硬體的映射電路，並利用映射電路切換高位址線，達成在大真實模式之下執行記憶體測試軟體而能夠進行4GB以上記憶體位址空間的測試。

綜上所述，雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖其所繪示為習知個人電腦的測試架構；

第2圖為相對於第1圖之對應的記憶體位址；

第3圖其所繪示為本發明具有測試記憶體高位址之控制電路；以及

第4圖為相對於第3圖之對應的記憶體位址。第1圖其所繪示為習知積體電路內的輸出電路。



## 六、申請專利範圍

### 1. 一種測試高記憶體位址之控制電路，包括：

一記憶體控制模組，該記憶體控制模組可分成複數個記憶體區塊；

一中央處理單元，用以執行一記憶體測試軟體，其可發出複數個資料寫入命令以及複數個資料讀取命令用以測試該記憶體控制模組中之一第一記憶體區塊；以及

一北橋晶片，連接於該中央處理單元與該記憶體控制模組之間，用以接收該些資料寫入命令與該些資料讀取命令，並可選擇性的執行該些資料寫入命令於該記憶體控制模組中之一第二記憶體區塊且由該第二記憶體區塊回應該些記憶體讀取命令。

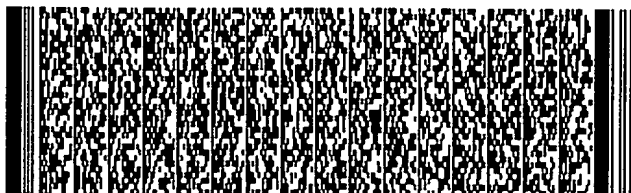
2. 如申請專利範圍第1項所述之測試高記憶體位址之控制電路，其中該北橋晶片包括一映射電路用以將該些資料寫入命令與該些資料讀取命令映射至該第二記憶體區塊。

3. 如申請專利範圍第2項所述之測試高記憶體位址之控制電路，其中該映射電路可改變該些資料寫入命令與該些資料讀取命令中的較高的位址腳位之準位。

4. 如申請專利範圍第1項所述之測試高記憶體位址之控制電路，其中該第二記憶體區塊之位址高於該第一記憶體區塊之位址。

5. 如申請專利範圍第1項所述之測試高記憶體位址之控制電路，其中該第二記憶體區塊與該第一記憶體區塊具有相同之大小。

6. 如申請專利範圍第1項所述之測試高記憶體位址之控制



#### 六、申請專利範圍

電路，其中該第二記憶體區塊之大小為4GB。

7. 如申請專利範圍第1項所述之測試高記憶體位址之控制電路，其中該第二記憶體區塊之大小為4GB。

8. 如申請專利範圍第1項所述之測試高記憶體位址之控制電路，其中更包括一南橋晶片耦接至該北橋晶片。

9. 如申請專利範圍第8項所述之測試高記憶體位址之控制電路，其中更包括一硬式磁碟機耦接至該南橋晶片用以儲存該記憶體測試軟體。

10. 一種測試高記憶體位址之方法，包括下列步驟：

接收測試一第一記憶體測試區塊之複數個資料寫入命令以及複數個資料讀取命令；以及

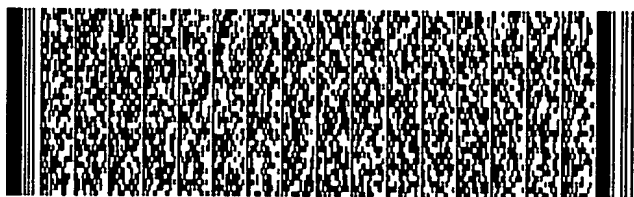
選擇性的執行該些資料寫入命令於一第二記憶體測試區塊且由該第二記憶體區塊回應該些記憶體讀取命令。

11. 如申請專利範圍第10項所述之測試高記憶體位址之方法，其中一映射電路用以將該些資料寫入命令與該些資料讀取命令映射至該第二記憶體區塊。

12. 如申請專利範圍第11項所述之測試高記憶體位址之方法，其中該映射電路可改變該些資料寫入命令與該些資料讀取命令中的較高的位址腳位之準位。

13. 如申請專利範圍第10項所述之測試高記憶體位址之方法，其中該第二記憶體區塊之位址高於該第一記憶體區塊之位址。

14. 如申請專利範圍第10項所述之測試高記憶體位址之方法，其中該第二記憶體區塊與該第一記憶體區塊具有相同



六、申請專利範圍

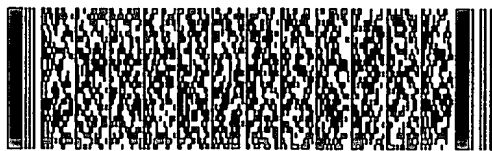
之大小。

15. 如申請專利範圍第10項所述之測試高記憶體位址之方法，其中該第二記憶體區塊之大小為4GB。

16. 如申請專利範圍第10項所述之測試高記憶體位址之方法，其中該第一記憶體區塊之大小為4GB。

17. 如申請專利範圍第10項所述之測試高記憶體位址之方法，其中該些資料寫入命令以及該些資料讀取命令係由一中央處理器所發出。

18. 如申請專利範圍第17項所述之測試高記憶體位址之方法，其中該中央處理器係執行一記憶體測試軟體。



第 1/13 頁



第 2/13 頁



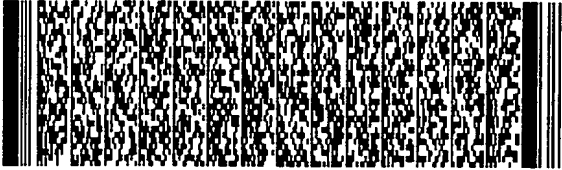
第 2/13 頁



第 3/13 頁



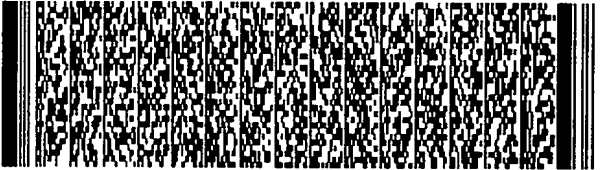
第 4/13 頁



第 4/13 頁



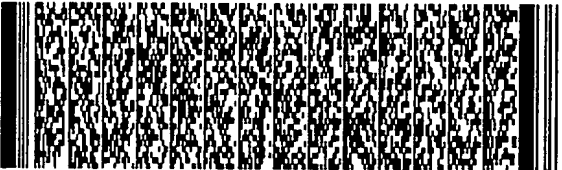
第 5/13 頁



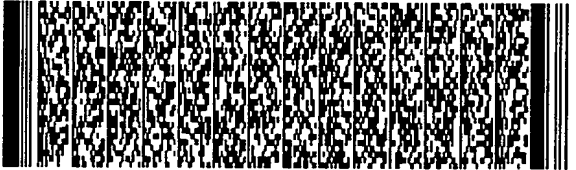
第 5/13 頁



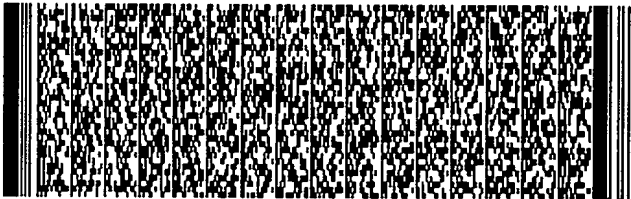
第 6/13 頁



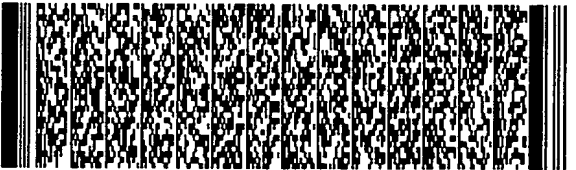
第 6/13 頁



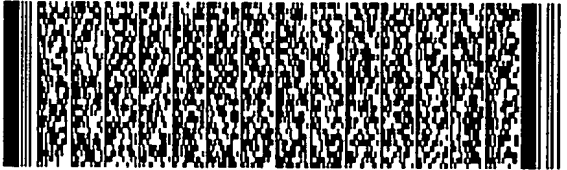
第 7/13 頁



第 8/13 頁



第 8/13 頁



第 9/13 頁



第 9/13 頁

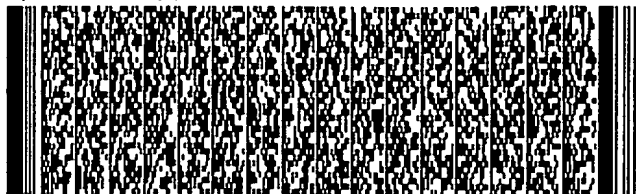


第 10/13 頁

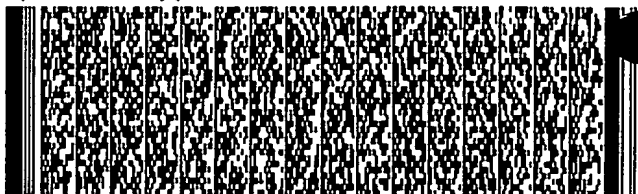


BEST AVAILABLE COPY

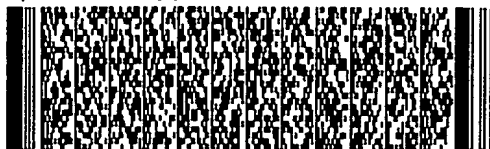
第 11/13 頁



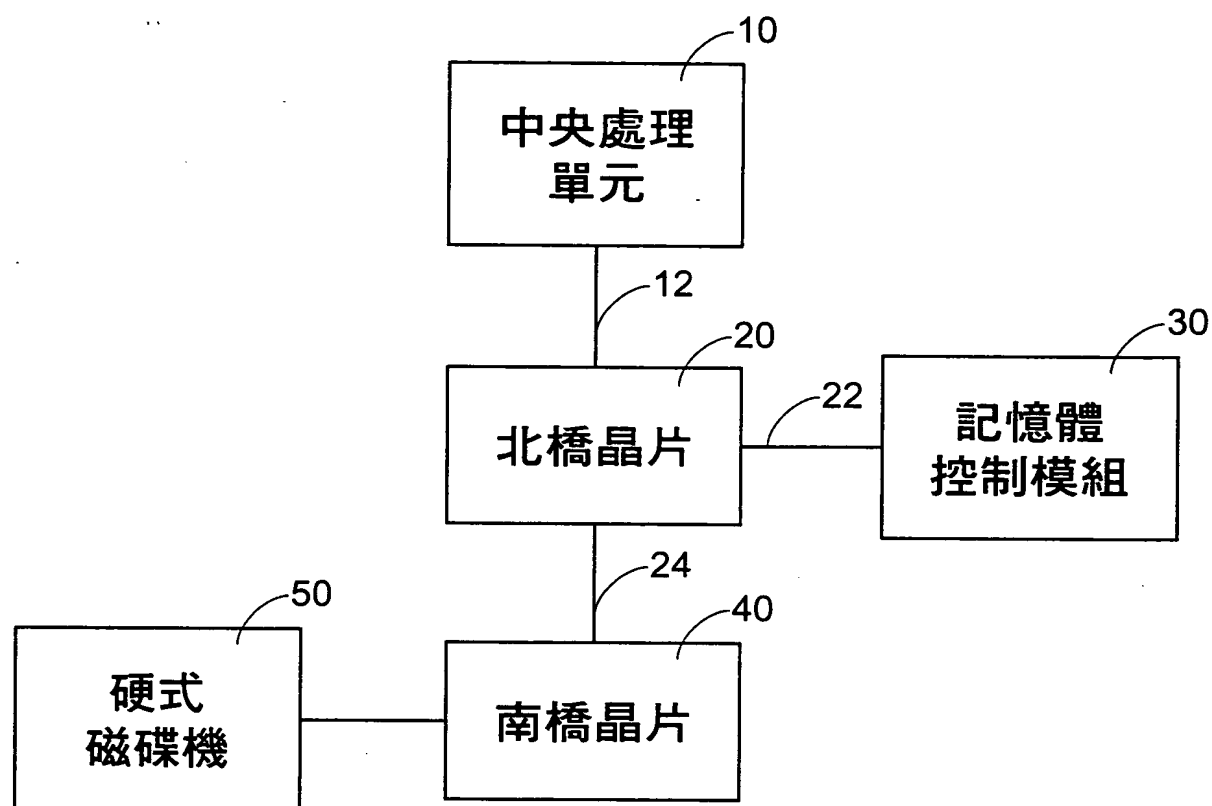
第 12/13 頁



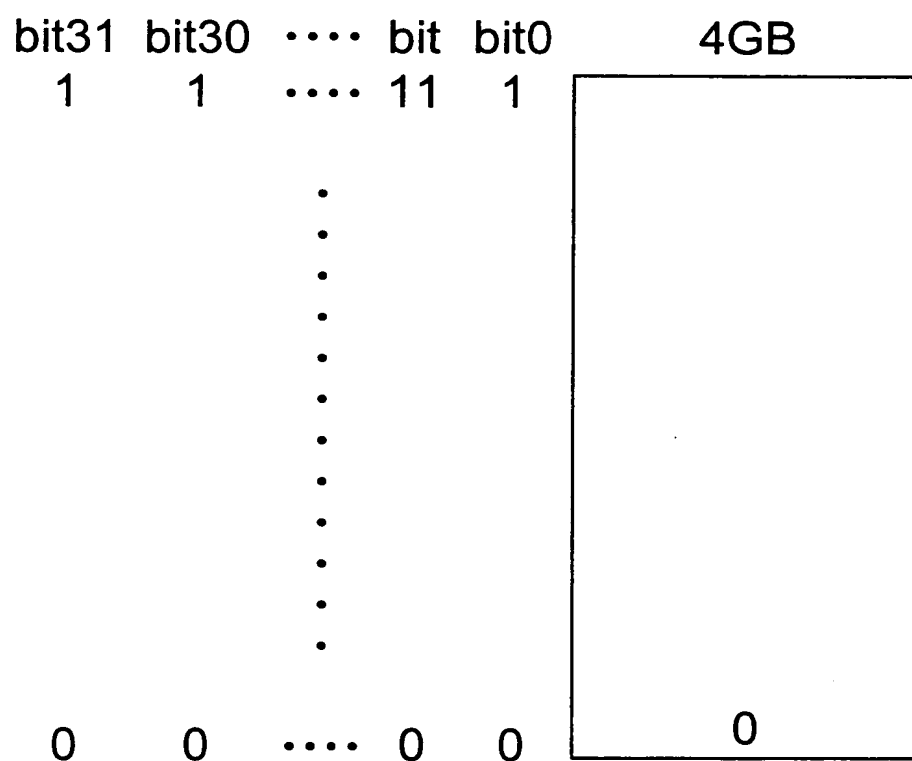
第 13/13 頁



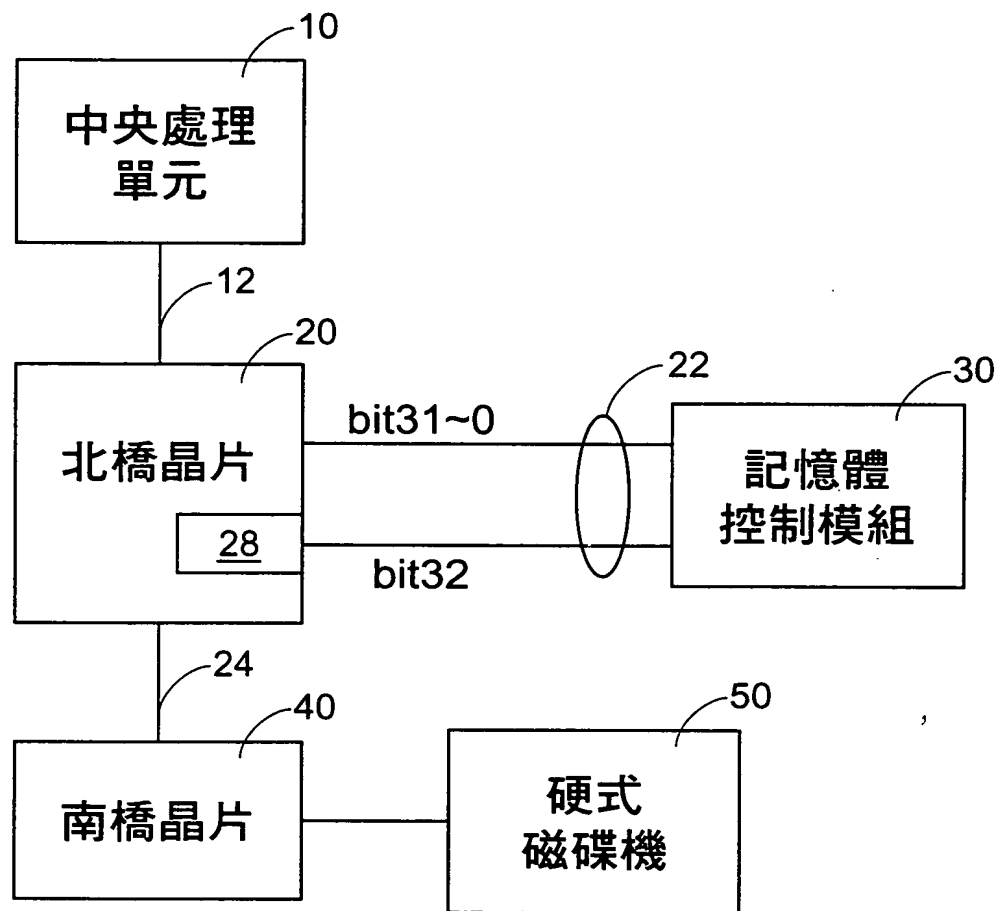




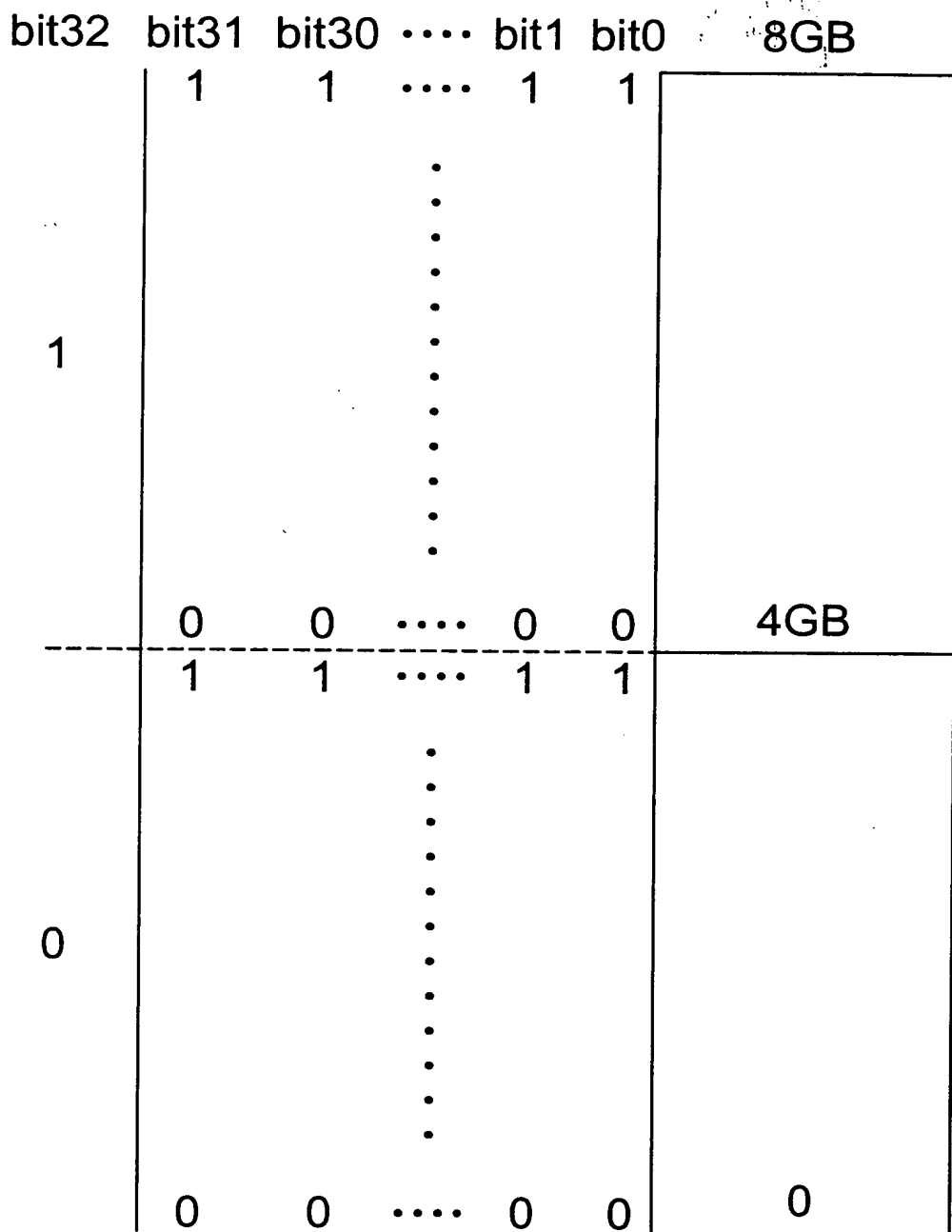
第1圖



第2圖



第3圖



第4圖